

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

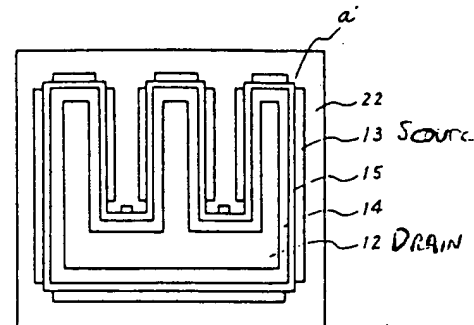
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(54) HIGH VOLTAGE INSULATED GATE TYPE FIELD-EFFECT TRANSISTOR

(11) 60-64471 (A) (43) 13.4.1985 (19) JP  
(21) Appl. No. 58-172555 (22) 19.9.1983  
(71) NIPPON DENKI K.K. (72) MIKIKO SAITOU  
(51) Int. Cl. H01L29/78//H01L29/36, H01L29/52

**PURPOSE:** To prevent the permanent breakdown generating on the titled transistor by a method wherein the region, to be turned to the source region 13 opposing to the corner part of a drain region 12, is converted to an earth lead-out region 22, thereby enabling to stop the injection of electrons to a substrate from the above-mentioned part.

**CONSTITUTION:** A high voltage insulated gate type FET is constituted in such a manner that the plane shape wherein the region to be turned to a source region 13 opposing to the corner part of a drain region 12 will be included is an earth lead-out region 22, and that the high withstand voltage drain region opposing to the corner part of the drain region 12 will be pushed out in the direction of the end part on the source region side of an offset gate region 14. As a result, the injection of carrier from the source region opposing to the corner part of the drain region is completely stopped, the source substrate junction is brought in the state where it is hardly forward-biased, and the current concentration in the high voltage drain region is relieved.



257/409

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭60-64471

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和60年(1985)4月13日

H 01 L 29/78  
// H 01 L 29/36  
29/52

8422-5F

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 高電圧絶縁ゲート型電界効果トランジスタ

⑮ 特 願 昭58-172555

⑯ 出 願 昭58(1983)9月19日

⑰ 発 明 者 齋 藤 美 紀 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

高電圧絶縁ゲート型電界効果トランジスタ

2. 特許請求の範囲

(1) 一導電型の半導体基板の一主面に設けられた逆導電型のソース領域及びドレイン領域と、該ドレイン領域に接して設けられた逆導電型のオフセットゲート領域と、該オフセットゲート領域と前記ソース領域間に形成されるチャネル領域と、前記ソース領域の底面に接して設けられた高不純物濃度の一導型の埋込みアース領域と、該埋込みアース領域と前記ソース領域と前記半導体基板の一主面に接して設けられた高不純物濃度の一導電型のアース引出し領域と、該アース引出し領域と前記ソース領域とを電気的に接続するソース電極とを備える高電圧絶縁ゲート型電界効果トランジスタにおいて、前記ドレイン領域のコーナ部分に対向する前記ソース領域

となるべき領域が前記アース引出し領域に包含された形状の平面形状を有することを特徴とする高電圧絶縁ゲート型電界効果トランジスタ。

(2) 一導電型の半導体基板の一主面に設けられた逆導電型のソース領域及びドレイン領域と該ドレイン領域に接して設けられた逆導電型のオフセットゲート領域と、該オフセットゲート領域と前記ソース領域間に形成されるチャネル領域と、前記ソース領域の底面に接して設けられた高不純物濃度の一導型の埋込みアース領域と、該埋込みアース領域と前記ソース領域と前記半導体基板の一主面に接して設けられた高不純物濃度の一導電型のアース引出し領域と、該アース引出し領域と前記ソース領域とを電気的に接続するソース電極とを備える高電圧絶縁ゲート型電界効果トランジスタにおいて、前記オフセットゲート領域の一部分と前記ドレイン領域に接して低不純物濃度の逆導電型の高耐圧化ドレイン領域を設け、かつ、前記ドレイン領域のコーナ部分に対向する前記ソース領域となるべき

領域が前記アース引出し領域に包含され、前記ドレイン領域のコーナ部分に対向する前記高耐圧化ドレイン領域が前記オフセットゲート領域のソース領域側の端部の方へ押し出された形状の平面形状を有することを特徴とする高電圧絶縁ゲート型電界効果トランジスタ。

### 3. 発明の詳細な説明

本発明はドレイン耐圧の高い高電圧絶縁ゲート型電界効果トランジスタに関する。

一般に、絶縁ゲート型電界効果トランジスタ(以下、MOSトランジスタで代表して説明する。)は多数キャリア素子なので高速動作が可能、熱暴走がない、などの優れた特徴を持っており、高速パワー素子として期待できる。

しかし、通常のMOSトランジスタのドレイン耐圧は高々数10Vしかなく、パワー素子として使うためには、ドレイン耐圧を向上させる必要があり、このために種々の構造が提案されている。中でもオフセットゲート形のMOSトランジスタ

は、低電圧動作の論理回路と同一チップに集積化するのが容易なので、集積回路用の高耐圧素子としても有望である。

第1図に従来のオフセットゲート形MOSトランジスタの断面図を示す。

同図において、1は低不純物濃度(例えば $6 \times 10^{14}/\text{cm}^3$ )のP形シリコンよりなる半導体基板、2は高濃度N型領域からなるドレイン領域、3は高濃度N型領域よりなるソース領域、4はN型の低不純物濃度のオフセットゲート領域、5はチャネル領域、6は低抵抗の多結晶シリコンよりなるゲート電極、7はアルミニウムよりなるドレイン電極、同じく8はソース電極、9はゲートシリコン酸化膜、10はフィールドシリコン酸化膜である。

第1図のMOSトランジスタにおいて、ドレインをコレクタ、基板をベース、ソースをエミッタとする寄生バイポーラトランジスタが存在し、この寄生バイポーラトランジスタがターンオンすることにより負性抵抗や永久破壊を起こしたりする

欠点があった。

寄生バイポーラトランジスタのターンオンを防止する方法として、エミッタ接合(ソース-基板間接合)が順バイアスされないように、ソース直下に基板と同じ導電型の高濃度層を設け、これをソースと等電位にする方法が特願昭和58-130143により提案されている。このような原理に基づいた高電圧MOSトランジスタの構造を第2図に示す。

この高電圧MOSトランジスタは、同図に示すように、ソース領域13の直下に高濃度P型領域よりなる埋込みアース領域21と、この埋込みアース領域21、ソース領域13及び半導体基板11の表面に接する高濃度P型領域よりなるアース引出し領域22を設け、更にアース引出し領域22とソース領域13とを電氣的に接続してソース電極18としたものである。なお11はP型シリコンよりなる半導体基板、12はドレイン領域、13はソース領域、14はオフセットゲート領域、15はチャネル領域、16はゲート電極、17はドレ

イン電極、19はゲートシリコン酸化膜、20はフィールドシリコン酸化膜である。

この構造の高電圧MOSトランジスタは、ドレインの平面形状を例えば、半径100 $\mu\text{m}$ 以上の円形状にすれば、使用動作範囲内で実用上問題となる負性抵抗や永久破壊は全く起こらない。

一方、パワー素子として応用していくには、ドレイン電流を大きくする必要がありこのためゲート幅は大きく設計される。ゲート幅を大きくする構造として第3図のように平面形状を楕円構造にすることが知られている。同図において、31はドレイン領域、32はオフセットゲート領域、33はチャネル領域、34はソース領域、35はアース引出し領域である。このような構造にするとチャネル幅は、大きく設計できる。

第3図の楕円構造のMOSトランジスタの楕円の歯部分のドレイン領域のコーナ部分の形状は、矩形、多角形あるいは円形が用いられる。そして、矩形や多角形の形状が用いられた場合は、角の部分で強い電界集中が起きたり、円形状の場合でも

ドレイン領域のコーナ部分曲率半径  $R$  が小さくなるとドレイン領域のコーナ部分での電界集中が強くなる。この電界集中は第2図の高電圧MOSトランジスタの負性抵抗や破壊に対する強さを弱める働きをする。第4図にドレイン領域のコーナ部分曲率半径  $R$  と破壊電流  $I_{BL}$  の関係を実験的に求めた例を示す。ただし、ここでの  $I_{BL}$  は、ドレイン電流-ドレイン電圧特性において、負性抵抗、あるいは永久破壊を起こす電流値である。このように曲率半径が小さくなると負性抵抗、永久破壊を起こしやすくなる。

第5図は高電圧MOSトランジスタのもう一つの問題であるドレイン耐圧を高めた従来の高電圧MOSトランジスタの一例を示す断面図である。このMOSトランジスタの特徴は、第1図の従来例のMOSトランジスタに対して、同図に示すようにオフセットゲート領域4の一部分とドレイン領域2に接してドレイン領域2よりは低不純物濃度のN型領域からなる高耐圧化ドレイン領域23を設けたことにある。この高耐圧化ドレイン領域

ース領域の底面に接して設けられた高不純物濃度の一導型の埋込みアース領域と、該埋込みアース領域と前記ソース領域と前記半導体基板の一主面に接して設けられた高不純物濃度の一導電型のアース引出し領域と、該アース引出し領域と前記ソース領域とを電気的に接続するソース電極とを備える高電圧絶縁ゲート型電界効果トランジスタにおいて、前記ドレイン領域のコーナ部分に対向する前記ソース領域となるべき領域を前記アース引出し領域に包含された形状の平面形状を有することから構成される。

本第2の発明の高電圧MOSトランジスタは、一導電型の半導体基板の一主面に設けられた逆導電型のソース領域及びドレイン領域と、該ドレイン領域に接して設けられた逆導電型のオフセットゲート領域と、該オフセットゲート領域と前記ソース領域間に形成されるチャネル領域と、前記ソース領域の底面に接して設けられた高不純物濃度の一導型の埋込みアース領域と、該埋込みアース領域と前記ソース領域と前記半導体基板の一主

面23はドレイン領域表面における電流集中によるなだれ降伏を防止してドレイン耐圧の向上を図るためのものであるが、電流集中が激しいドレイン領域のコーナ部分においては、その効果はなお十分でないとも見られる。

以上、説明したとおり、従来の高電圧MOSトランジスタには、なお、ドレイン領域のコーナ部分に起因して、負性抵抗現象の発生とそれに伴う永久破壊、ドレイン耐圧の低下等がもたらされるという欠点がある。

本発明の目的は、上記の欠点を除去することにより、負性抵抗や永久破壊を起さない、かつゲート耐圧の高い高電圧絶縁ゲート電界効果トランジスタを提供することにある。

本第1の発明の高電圧MOSトランジスタは、一導電型の半導体基板の一主面に設けられた逆導電型のソース領域及びドレイン領域と、該ドレイン領域に接して設けられた逆導電型のオフセットゲート領域と、該オフセットゲート領域と前記ソース領域間に形成されるチャネル領域と、前記ソ

ース領域の底面に接して設けられた高不純物濃度の一導電型のアース引出し領域と、該アース引出し領域と前記ソース領域とを電気的に接続するソース電極とを備える高電圧絶縁ゲート型電界効果トランジスタにおいて、前記オフセットゲート領域の一部分と前記ドレイン領域に接して低不純物濃度の逆導電型の高耐圧化ドレイン領域を設け、かつ、前記ドレイン領域のコーナ部分に対向する前記ソース領域となるべき領域が前記アース引出し領域に包含され、前記ドレイン領域のコーナ部分に対向する前記高耐圧化ドレイン領域が前記オフセットゲート領域のソース領域側の端部の方へ押し出された形状の平面形状を有することから構成される。

以下、本発明の実施例について図面を参照して説明する。

第6図は本第1の発明の第1の実施例の要部を示す半導体基板表面における平面図である。

本実施例の高電圧MOSトランジスタは、第2図に示した高電圧MOSトランジスタ、すなわち、P-型のシリコンからなる半導体基板11の一主

面上に設けられた $N^+$ 型のソース領域13及びドレイン領域12と、このドレイン領域12に接して設けられた $N^-$ 型のオフセットゲート領域14と、このオフセットゲート領域14とソース領域13間に形成されるチャネル領域15と、ソース領域13の底面に接して設けられた $P^+$ 型の埋込みアース領域21と、この埋込みアース領域21とソース領域13と半導体基板11の一主面に接して設けられた $P^+$ 型のアース引出し領域22と、このアース引出し領域22とソース領域13とを電氣的に接続するソース電極18とを備える高電圧MOSトランジスタにおいて、第6図に示すように、ドレイン領域12のコーナ部分に対向するソース領域13となるべき同図でaで示す部分に当る12個所の領域をアース引出し領域22に包含された形状の平面形状を有することから構成される。なお、同図で14はオフセットゲート領域、15はチャネル領域である。

本実施例は、第6図に示されているように電界が集中して負性抵抗が起きやすいaで示したドレ

イン領域12の12個所のコーナ部分に対向するソース領域13となるべき領域をアース引出し領域22に替えることにより、この部分から基板への電子の注入がなくなり負性抵抗は発生せず、従って永久破壊は起きないことになる。

又、このa部分がアース引出し領域22に包含されたことにより、これと接したソース-基板接合は、順バイアスされにくくなるので、アース引出し領域及び埋込みアース領域からなるアース領域近傍の動作領域の負性抵抗防止、耐破壊性向上にも効果がある。

第7図及び第8図はそれぞれ本第1の発明の第2及び第3の実施例の要部を示す半導体基板表面における平面図である。

第7図の本第2の実施例は、ドレイン領域12'のコーナ部分が円形状の場合に本第1の発明を適用したもので、ドレイン領域12'のコーナ部分に対向するソース領域13'となるべき同図のa'で示す部分の領域がアース引出し領域22'に包含されている。なお14'はオフセットゲート領

域、15'はチャネル領域である。

第8図の本第3の実施例は、ドレイン領域12''のコーナ部分が多角形状の場合に、本第1の発明を適用したもので、ドレイン領域12''のコーナ部分に対向するソース領域13''となるべき同図a''で示す4個所の部分の領域を、アース引出し領域22''に包含されている。なお14''はオフセットゲート領域、15''はチャネル領域である。

本第2及び第3の実施例は上記の説明から明らかなように、その基本的構成は第1の実施例と同じであり、それと同様の効果が得られることはもちろである。

第9図は本第2の発明の一実施例の半導体基板表面における平面図、第10図はそのAA'断面図である。

本実施例は上記の第1の発明の第2の実施例の高電圧MOSトランジスタに、更にオフセットゲート領域44の一部分とドレイン領域42に接して、ドレイン耐圧を高めるための $N^-$ 型の高耐圧化ドレイン領域53を設け、そのドレイン領域42

のコーナ部分に対向する領域がオフセットゲート領域44のソース領域43側の端部の方へ埋し出された形状(第9図中のbで示す部分)としたことから構成される。なお、41はP型シリコンからなる半導体基板、45はチャネル領域、46はゲート電極、47はドレイン電極、48はソース電極、49はゲートシリコン酸化膜、50はフィールドシリコン酸化膜、51は埋込みアース領域である。そしてa'''はドレイン領域42のコーナ部分に対向して本来ソース領域43となるべき領域でアース引出し領域52に包含された部分を指す。

本実施例によると、高耐圧化ドレイン領域53が電流集中の激しいドレイン領域42のコーナ部分において広げられているために、電流集中が緩和されドレイン耐圧が向上し、負性抵抗を引起す破壊電流( $I_{BL}$ )も大きくなる。

なお、上記の説明はnチャネル型MOSトランジスタについて行ったけれども、pチャネル型MOSトランジスタについても同様である。

以上詳細に説明した通り、本発明の高電圧絶縁ゲート型電界効果トランジスタは、ドレイン領域のコーナ部分に対向するソース領域となるべき領域がアース引出し領域に包含された形状の平面形状、更にはドレイン領域のコーナ部分に対向する高耐圧化ドレイン領域がオフセットゲート領域のソース領域側の端部の方へ押し出された形状の平面形状を有しているため、ドレイン領域のコーナ部分に対向するソース領域からのキャリアの注入が無くなること、ソース-基板接合が順バイアスされにくくなること、更には高耐圧化ドレイン領域における電流集中の緩和等により、負性抵抗の発生及びそれに伴う永久破壊が防止され、かつドレイン耐圧が高められるという効果を有している。

#### 4. 図面の簡単な説明

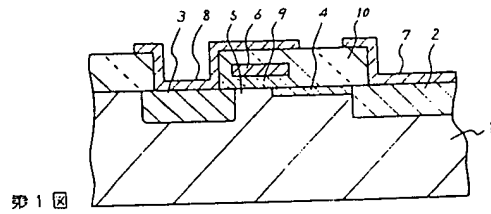
第1図は従来の絶縁ゲート型電界効果トランジスタの一例を示す断面図、第2図は従来の高電圧絶縁ゲート型電界効果トランジスタの一例を示す断面図、第3図は第2図のトランジスタの半導体

基板表面における平面形状の一例を示す平面図、第4図は第2図のトランジスタのドレイン領域のコーナ部分の曲率半径と破壊電流の関係を示す特性図、第5図は従来の高電圧絶縁ゲート型電界効果トランジスタの他の例を示す断面図、第6図、第7図、第8図はそれぞれ本第1の発明の第1、第2、第3の実施例の要部を示す半導体基板表面における平面図、第9図は本第2の発明の一実施例の要部を示す半導体基板表面における平面図、第10図はそのAA'断面図である。

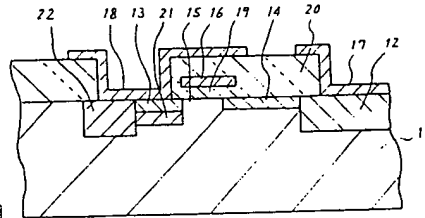
1……半導体基板、2……ドレイン領域、3……ソース領域、4……オフセットゲート領域、5……チャネル領域、6……ゲート電極、7……ドレイン電極、8……ソース電極、9……ゲートシリコン酸化膜、10……フィールドシリコン酸化膜、11……半導体基板、12、12'、12''……ドレイン領域、13、13'、13''……ソース領域、14、14'、14''……オフセットゲート領域、15、15'、15''……チャネル領域、16……ゲート電極、17……ドレイン電

極、18……ソース電極、19……ゲートシリコン酸化膜、20……フィールドシリコン酸化膜、21……アース埋込み領域、22……アース引出し領域、23……ドレイン領域、31……ドレイン領域、32……オフセットゲート領域、33……チャネル領域、34……ソース領域、35……アース引出し領域、41……半導体基板、42……ドレイン領域、43……ソース領域、44……オフセットゲート領域、45……チャネル領域、46……ゲート電極、47……ドレイン電極、48……ソース電極、49……ゲートシリコン酸化膜、50……フィールドシリコン酸化膜、51……アース埋込み領域、52……アース引出し領域、53……高耐圧化ドレイン領域、a、a'、a''、a'''……ドレイン領域のコーナ部分に対向するソース領域となるべき領域、b……高耐圧化ドレイン領域の押し出した領域。

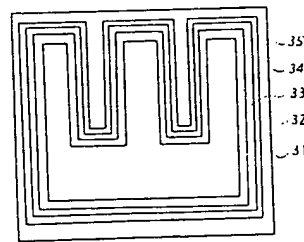
代理人 弁理士 内 原 普



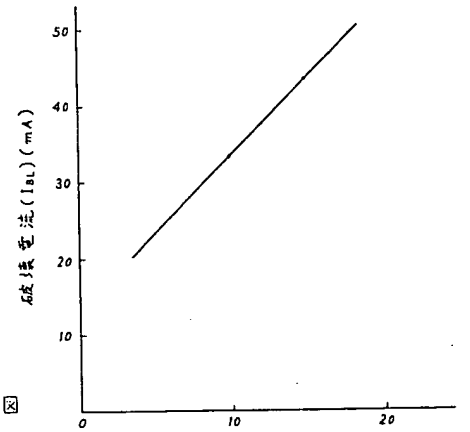
第 1 図



第 2 図

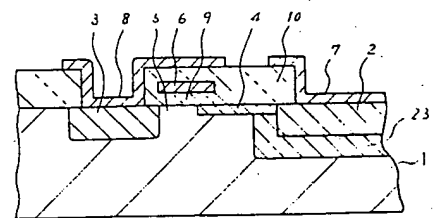


第 3 図



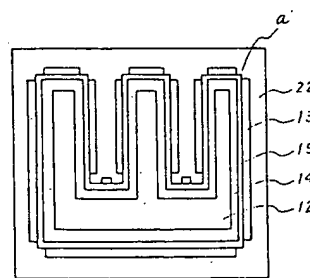
第 4 図

ドレイン領域コーナ部分の曲率半径 (R) (μm)

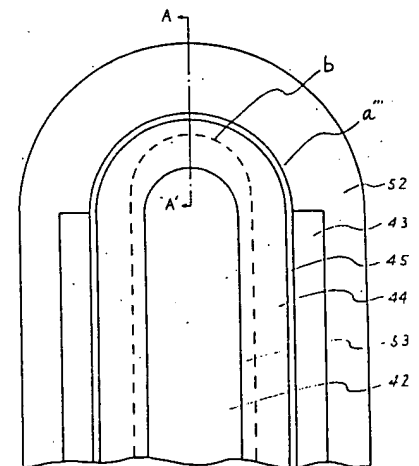


第 5 図

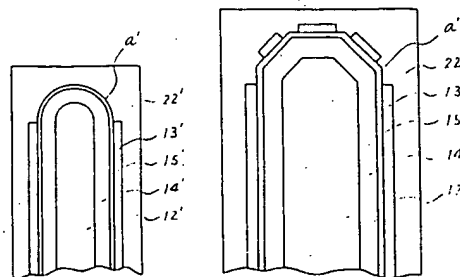
S-13  
D-12



第 6 図

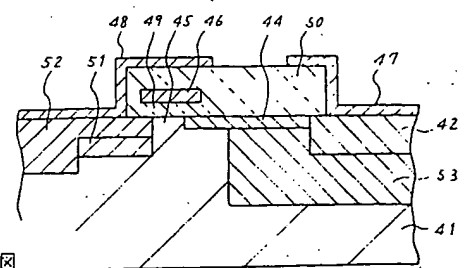


第 9 図



第 7 図

第 8 図



第 10 図